

SEMICONDUCTOR CHIP AND SEMICONDUCTOR DEVICE

Patent Number: JP2000228468
Publication date: 2000-08-15
Inventor(s): ISHII HIDEKI
Applicant(s): MITSUBISHI ELECTRIC CORP
Requested Patent: ☐ JP2000228468
Application Number: JP19990029057 19990205
Priority Number(s):
IPC Classification: H01L23/32; H01L21/60; H01L23/12; H01L23/28
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To provide a semiconductor device capable of high-density mounting on a mother board.

SOLUTION: This semiconductor device is provided with a plurality of inner bump electrodes 2 on the main face and a plurality of outer bump electrodes 3, a finger electrode 4, and circuit wiring to connect the outer bump electrode 3 with the finger electrode 4. An interposer 5 is connected through an inner bump 2a to the main face of the semiconductor chip 1 covering the rear with an insulating film exclusive of the outer bump electrodes 3 and the finger electrode requiring electric connection. A finger electrode 7 provided at the periphery of the interposer 6 and the finger electrode 4 provided at the periphery of the rear 1 of the semiconductor chip are connected with each other by a wire 8. These semiconductor devices are piled up in two stages or more in vertical direction, and the outer bump electrode 3 of the semiconductor device on the lower stage and the interposer 6 of the semiconductor device on the upper stage are electrically connected with each other through a solder bump 10, whereby multistage semiconductor device materializes, and the high-density mounting on the mother board 20 becomes possible.

Data supplied from the esp@cenet database - 12

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2000-228468

(P2000-228468A)

(43) 公開日 平成12年8月15日 (2000.8.15)

(51) Int.Cl. ⁷	識別記号	F I	テームト [*] (参考)
H 0 1 L 23/32		H 0 1 L 23/32	D 4 M 1 0 9
21/60		21/60	5 F 0 4 4
23/12		23/28	J
23/28		23/12	Q

審査請求 未請求 請求項の数10 O L (全 8 頁)

(21) 出願番号 特願平11-29057

(22) 出願日 平成11年2月5日 (1999.2.5)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 石井 秀基

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100073759

弁理士 大岩 増雄

Fターム(参考) 4M109 AA01 BA03 DA06

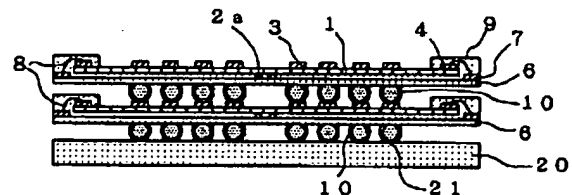
5F044 AA05 EE02 JJ03 RR03

(54) 【発明の名称】 半導体チップ及び半導体装置

(57) 【要約】

【課題】 マザーボードへの高密度実装が可能な半導体装置を得る。

【解決手段】 主面に複数のインナーバンパ電極2、裏面に複数のアウターバンパ電極3、フィンガー電極4及びアウターバンパ電極3とフィンガー電極4を接続する回路配線5が設けられ、電気的接続を要するアウターバンパ電極3及びフィンガー電極4を除く裏面を絶縁膜で覆った半導体チップ1主面に、インナーバンパ2aを介してインターポーザ6を接続し、インターポーザ6周辺部に設けられたフィンガー電極7と半導体チップ裏面1周辺部に設けられたフィンガー電極4をワイヤ8で接続した。この半導体装置を上下方向に2段以上積み重ね、下段の半導体装置のアウターバンパ電極3と、上段の半導体装置のインターポーザ6をはんだバンパ10を介して電気的に接続することにより、半導体装置の多段化が図られ、マザーボード20への高密度実装が可能となった。



- | | |
|---------------|-------------|
| 1 : 半導体チップ | 8 : ワイヤ |
| 2 a : インナーバンパ | 9 : 封止樹脂 |
| 3 : アウターバンパ電極 | 10 : はんだバンパ |
| 4 : フィンガー電極 | 20 : マザーボード |
| 6 : インターポーザ | 21 : ランド |
| 7 : フィンガー電極 | |

【特許請求の範囲】

【請求項1】 主面に複数のインナーバンパ電極、裏面に複数のアウターバンパ電極、フィンガー電極及び上記アウターバンパ電極と上記フィンガー電極を接続する回路配線が設けられた半導体チップであって、上記アウターバンパ電極及び上記フィンガー電極を除く裏面を絶縁膜で覆ったことを特徴とする半導体チップ。

【請求項2】 請求項1に記載の半導体チップ主面にインナーバンパを介して接続されたインターポーザ、上記インターポーザ周辺部に設けられたフィンガー電極と上記半導体チップ裏面周辺部に設けられたフィンガー電極を接続するワイヤ、上記インターポーザの上記半導体チップ搭載面側に設けられ、上記インターポーザ周辺部及び上記半導体チップ周辺部に設けられた各々の上記フィンガー電極と上記ワイヤを覆う封止樹脂を備えたことを特徴とする半導体装置。

【請求項3】 請求項2に記載の半導体装置を上下方向に2段以上積み重ね、下段となる上記半導体装置の半導体チップ裏面のアウターバンパ電極と、上段となる上記半導体装置のインターポーザを電気的に接続したことを特徴とする半導体装置。

【請求項4】 主面に複数のインナーバンパ電極が設けられた半導体チップ、一方の面に上記半導体チップ裏面が樹脂等により接合され、他方の面に複数のはんだバンパ実装ランドが設けられた配線基板、

上記半導体チップ主面にインナーバンパを介して接続されたインターポーザ、上記インターポーザ周辺部に設けられたフィンガー電極と上記配線基板周辺部に設けられたボンディングパッドを接続するワイヤ、上記配線基板上に設けられ、上記はんだバンパ実装ランドと上記ボンディングパッドを接続する回路配線、上記インターポーザの上記半導体チップ搭載面側に設けられ、上記フィンガー電極、上記ボンディングパッド及び上記ワイヤを覆う封止樹脂を備えたことを特徴とする半導体装置。

【請求項5】 請求項4に記載の半導体装置を上下方向に2段以上積み重ね、下段となる上記半導体装置の配線基板上のはんだバンパ実装ランドと、上段となる上記半導体装置のインターポーザを電気的に接続したことを特徴とする半導体装置。

【請求項6】 主面に複数のインナーバンパ電極が設けられた第1の半導体チップ、上記第1の半導体チップと裏面同士を樹脂等により接合された第2の半導体チップ、上記第1の半導体チップ主面にインナーバンパを介して接続されたインターポーザ、上記インターポーザ周辺部に設けられたフィンガー電極Aと上記第2の半導体チップ主面に設けられた電極を接

続するワイヤA、

上記インターポーザの上記第1の半導体チップ及び上記第2の半導体チップ搭載面側に設けられ、上記第1の半導体チップ及び上記第2の半導体チップ、上記フィンガー電極A及び上記ワイヤAを覆う封止樹脂A、一方の面に上記封止樹脂A上面が樹脂等により接合され、他方の面に複数のはんだバンパ実装ランドが設けられた配線基板、

上記インターポーザ周辺部に設けられたフィンガー電極Bと上記配線基板周辺部に設けられたボンディングパッドを接続するワイヤB、上記配線基板上に設けられ、上記はんだバンパ実装ランドと上記ボンディングパッドを接続する回路配線、上記インターポーザの上記第1の半導体チップ及び上記第2の半導体チップ搭載面側に設けられ、上記フィンガー電極B、上記ボンディングパッド及び上記ワイヤBを覆う封止樹脂Bを備えたことを特徴とする半導体装置。

【請求項7】 請求項6に記載の半導体装置を上下方向に2段以上積み重ね、下段となる上記半導体装置の配線基板上のはんだバンパ実装ランドと、上段となる上記半導体装置のインターポーザを電気的に接続したことを特徴とする半導体装置。

【請求項8】 インターポーザ上にインナーバンパを介して接続された半導体チップを樹脂で封止してなる半導体パッケージ、上記半導体パッケージが上下両面に接続された配線基板、

上記配線基板をマザーボード上に保持すると共に、上記配線基板と上記マザーボード間を電気的に接続するリードフレームを備えたことを特徴とする半導体装置。

【請求項9】 インターポーザ上にインナーバンパを介して接続された半導体チップを樹脂で封止してなる半導体パッケージ、

上記半導体パッケージが主面に接続された配線基板、上記配線基板を上下方向に2段以上積み重ねた状態でマザーボード上に保持すると共に、上記配線基板相互間及び上記各配線基板と上記マザーボード間を電気的に接続するリードフレームを備えたことを特徴とする半導体装置。

【請求項10】 インターポーザ上にインナーバンパを介して接続された半導体チップを樹脂で封止してなる半導体パッケージ、

上記半導体パッケージが主面に接続された配線基板、上記配線基板を上下方向に2段以上積み重ねた状態で保持すると共に、上記配線基板相互間を電気的に接続するリードフレームを備え、最下段の上記配線基板裏面をはんだバンパを介してマザーボードに接続したことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、薄型で高密度実装が可能な半導体装置に関するものである。

【0002】

【従来の技術】図11(a)は、従来の半導体装置を示す断面図、図11(b)は、従来の半導体装置の主面を説明するための下面透視図、図11(c)は従来の半導体装置の裏面を説明するための上面図である。図において、30は従来の半導体装置である半導体パッケージであり、1は主面に複数のインナーバンパ電極2が設けられた半導体チップ、6はインナーバンパ2aを介して半導体チップ1主面と接続されたインターポーザ、9はインターポーザ6の半導体チップ1搭載面側に設けられた封止樹脂、10はインターポーザ6下面に形成されたはんだバンパ、17は半導体チップ1の主面に形成された回路配線、20は半導体パッケージ30を搭載するためのランド21が形成されたマザーボードである。従来の半導体パッケージ30は、半導体チップ1主面をインナーバンパ2aを介してインターポーザ6に接続し、封止樹脂9により封止してなるものである。インターポーザ6下面には、はんだバンパ10が形成され、マザーボード20のランド21と接続される。

【0003】

【発明が解決しようとする課題】このように、従来の半導体装置は、半導体パッケージ30をマザーボード20の上面もしくは上下面に平面実装するように構成されているため、実装スペースがマザーボード20の上下面の面積による制約を受け、高密度実装が困難であるという問題があった。

【0004】本発明は、上記のような問題点を解消するためになされたもので、マザーボードへの高密度実装が可能な半導体装置を得ることを目的とする。

【0005】

【課題を解決するための手段】本発明に係わる半導体チップは、主面に複数のインナーバンパ電極、裏面に複数のアウターバンパ電極、フィンガー電極及びアウターバンパ電極とフィンガー電極を接続する回路配線が設けられた半導体チップであって、アウターバンパ電極及びフィンガー電極を除く裏面を絶縁膜で覆ったものである。また、本発明に係わる半導体装置は、上記半導体チップ主面にインナーバンパを介して接続されたインターポーザと、インターポーザ周辺部に設けられたフィンガー電極と半導体チップ裏面周辺部に設けられたフィンガー電極を接続するワイヤと、インターポーザの半導体チップ搭載面側に設けられ、インターポーザ周辺部及び半導体チップ周辺部に設けられた各々のフィンガー電極とワイヤを覆う封止樹脂を備えたものである。さらに、上記半導体装置を上下方向に2段以上積み重ね、下段となる半導体装置の半導体チップ裏面のアウターバンパ電極と、上段となる半導体装置のインターポーザを電気的に接続したものである。

【0006】また、主面に複数のインナーバンパ電極が設けられた半導体チップと、一方の面に半導体チップ裏面が樹脂等により接合され、他方の面に複数のはんだバンパ実装ランドが設けられた配線基板と、半導体チップ主面にインナーバンパを介して接続されたインターポーザと、インターポーザ周辺部に設けられたフィンガー電極と配線基板周辺部に設けられたボンディングパッドを接続するワイヤと、配線基板上に設けられ、はんだバンパ実装ランドとボンディングパッドを接続する回路配線と、インターポーザの半導体チップ搭載面側に設けられ、フィンガー電極、ボンディングパッド及びワイヤを覆う封止樹脂を備えたものである。さらに、上記半導体装置を上下方向に2段以上積み重ね、下段となる半導体装置の配線基板上のはんだバンパ実装ランドと、上段となる半導体装置のインターポーザを電気的に接続したものである。

【0007】また、主面に複数のインナーバンパ電極が設けられた第1の半導体チップと、第1の半導体チップと裏面同士を樹脂等により接合された第2の半導体チップと、第1の半導体チップ主面にインナーバンパを介して接続されたインターポーザと、インターポーザ周辺部に設けられたフィンガー電極Aと第2の半導体チップ主面に設けられた電極を接続するワイヤAと、インターポーザの第1の半導体チップ及び第2の半導体チップ搭載面側に設けられ、第1の半導体チップ及び第2の半導体チップ、フィンガー電極A及びワイヤAを覆う封止樹脂Aと、一方の面に封止樹脂A上面が樹脂等により接合され、他方の面に複数のはんだバンパ実装ランドが設けられた配線基板と、インターポーザ周辺部に設けられたフィンガー電極Bと配線基板周辺部に設けられたボンディングパッドを接続するワイヤBと、配線基板上に設けられ、はんだバンパ実装ランドとボンディングパッドを接続する回路配線と、インターポーザの第1の半導体チップ及び第2の半導体チップ搭載面側に設けられ、フィンガー電極B、ボンディングパッド及びワイヤBを覆う封止樹脂Bを備えたものである。さらに、上記半導体装置を上下方向に2段以上積み重ね、下段となる半導体装置の配線基板上のはんだバンパ実装ランドと、上段となる半導体装置のインターポーザを電気的に接続したものである。

【0008】また、インターポーザ上にインナーバンパを介して接続された半導体チップを樹脂で封止してなる半導体パッケージと、この半導体パッケージが上下両面に接続された配線基板と、この配線基板をマザーボード上に保持すると共に、配線基板とマザーボード間を電気的に接続するリードフレームを備えたものである。また、インターポーザ上にインナーバンパを介して接続された半導体チップを樹脂で封止してなる半導体パッケージと、この半導体パッケージが主面に接続された配線基板と、この配線基板を上下方向に2段以上積み重ねた状

態でマザーボード上に保持すると共に、配線基板相互間及び各配線基板とマザーボード間を電氣的に接続するリードフレームを備えたものである。さらに、インターボーズ上にインナーバンパを介して接続された半導体チップを樹脂で封止してなる半導体パッケージと、この半導体パッケージが主面に接続された配線基板と、この配線基板を上下方向に２段以上積み重ねた状態で保持すると共に、配線基板相互間を電氣的に接続するリードフレームを備え、最下段の配線基板裏面をはんだバンパを介してマザーボードに接続したものである。

【0009】

【発明の実施の形態】実施の形態１．以下に、本発明の実施の形態を図面に基いて説明する。図１（a）は、本発明の実施の形態１である半導体装置の半導体チップ主面を説明するための下面透視図、図１（b）は同半導体装置の半導体チップ裏面を説明するための上面透視図である。また、図２（a）、図２（b）及び図２（c）は、それぞれ同半導体装置を示す断面図、主面を示す下面図及び裏面を示す上面図であり、図中、同一、相当部分には同一符号を付している。図１において、１は本実施の形態における半導体チップであり、主面に複数のインナーバンパ電極２、裏面に複数のアウターバンパ電極３、フィンガー電極４及びアウターバンパ電極３とフィンガー電極４を接続する回路配線５が設けられ、電氣的接続を要するアウターバンパ電極３及びフィンガー電極４を除く裏面を絶縁膜（図示せず）で覆ったものである。また、１７は半導体チップ１主面に形成された回路配線である。

【0010】次に、本実施の形態による半導体装置の構造を図２を用いて説明する。図において、６は半導体チップ１主面にインナーバンパ２aを介して接続されたインターボーズ、８はインターボーズ６周辺部に設けられたフィンガー電極７と半導体チップ１裏面周辺部に設けられたフィンガー電極４を接続するワイヤ、９はインターボーズ６の半導体チップ１搭載面側に設けられ、インターボーズ６周辺部及び半導体チップ１周辺部に設けられた各々のフィンガー電極７、４とワイヤ８を覆う封止樹脂、１０はインターボーズ６下面に形成されたはんだバンパを示している。

【0011】図３は、本実施の形態による半導体装置を上下方向に２段以上積み重ね、下段となる半導体装置の半導体チップ１裏面のアウターバンパ電極３と、上段となる半導体装置のインターボーズ６をはんだバンパ１０を介して電氣的に接続したものを、ランド２１が形成されたマザーボード２０上にはんだバンパ１０を介して接続したものである。以上のように、本実施の形態によれば、インターボーズ６と半導体チップ１裏面間をワイヤ８により電氣的に接続することにより、半導体チップ１裏面に設けられたアウターバンパ電極３とインターボーズ６間を電氣的に接続したので、半導体装置の多段化が

図られ、マザーボード２０への高密度実装が可能となった。

【0012】実施の形態２．図４は、本発明の実施の形態２である半導体装置を示す断面図である。図において、１aは主面に複数のインナーバンパ電極が設けられた半導体チップ、１１は一方の面に半導体チップ１a裏面が樹脂１２により接合され、他方の面に複数のはんだバンパ実装ランド１３が設けられた配線基板、８はインターボーズ６周辺部に設けられたフィンガー電極７と配線基板１１周辺部に設けられたボンディングパッド１４を接続するワイヤである。なお、図中、同一、相当部分には同一符号を付し、説明を省略する。本実施の形態における半導体装置の配線基板１１上には、はんだバンパ実装ランド１３とボンディングパッド１４を接続する回路配線（図示せず）が設けられ、配線基板１１周辺部に設けられたボンディングパッド１４と、インターボーズ６周辺部に設けられたフィンガー電極７は、ワイヤ８により接続されている。また、インターボーズ６の半導体チップ１a搭載面側には、フィンガー電極７、ボンディングパッド１４及びワイヤ８を覆う封止樹脂９が設けられている。

【0013】図５は、本実施の形態による半導体装置を上下方向に２段以上積み重ね、下段となる半導体装置の配線基板１１上のはんだバンパ実装ランド１３と、上段となる半導体装置のインターボーズ６をはんだバンパ１０を介して電氣的に接続したものを、ランド２１が形成されたマザーボード２０上にはんだバンパ１０を介して接続したものである。以上のように、本実施の形態によれば、インターボーズ６と配線基板１１間をワイヤ８により電氣的に接続することにより、配線基板１１上に設けられたはんだバンパ実装ランド１３とインターボーズ６間を電氣的に接続したので、半導体装置の多段化が図られ、マザーボード２０への高密度実装が可能となった。

【0014】実施の形態３．図６は、本発明の実施の形態３である半導体装置を示す断面図である。図において、１aは主面に複数のインナーバンパ電極が設けられた第１の半導体チップ、１bは第１の半導体チップ１aと裏面同士を樹脂１２aにより接合された第２の半導体チップ、６は第１の半導体チップ１a主面にインナーバンパ２aを介して接続されたインターボーズ、８aはインターボーズ６周辺部に設けられたフィンガー電極A7aと第２の半導体チップ１b主面に設けられた電極（図示せず）を接続するワイヤA、９aはインターボーズ６の第１の半導体チップ１a及び第２の半導体チップ１b搭載面側に設けられ、第１の半導体チップ１a及び第２の半導体チップ１b、フィンガー電極A7a及びワイヤA8aを覆う封止樹脂Aである。

【0015】さらに、１１は一方の面に封止樹脂A9a上面が樹脂１２bにより接合され、他方の面に複数ののは

んだバンパ実装ランド13が設けられた配線基板、8bはインターポーザ6周辺部に設けられたフィンガー電極B7bと配線基板11周辺部に設けられたボンディングパッド14を接続するワイヤB、9bはインターポーザ6の第1の半導体チップ1a及び第2の半導体チップ1b搭載面側に設けられ、フィンガー電極B7b、ボンディングパッド14及びワイヤB8bを覆う封止樹脂Bである。また、配線基板11上には、んだバンパ実装ランド13とボンディングパッド14を接続する回路配線(図示せず)が設けられている。

【0016】図7は、本実施の形態による半導体装置を上下方向に2段以上積み重ね、下段となる半導体装置の配線基板11上のはんだバンパ実装ランド13と、上段となる半導体装置のインターポーザ6をはんだバンパ10を介して電氣的に接続したものを、ランド21が形成されたマザーボード20上にはんだバンパ10を介して接続したものである。以上のように、本実施の形態によれば、半導体装置内に2個の半導体チップ1a、1bを収納し、インターポーザ6と配線基板11間をワイヤ8bにより電氣的に接続することにより、配線基板11上に設けられたんだバンパ実装ランド13とインターポーザ6間を電氣的に接続したので、半導体装置の多段化が図られ、マザーボード20への高密度実装が可能となった。

【0017】なお、上記実施の形態1〜3では、半導体チップ1裏面周辺部に設けられたフィンガー電極4または配線基板11周辺部に設けられたボンディングパッド14とインターポーザ6周辺部に設けられたフィンガー電極7の接続にワイヤを使用した場合について説明したが、その他の方法を用いて電氣的接続を行っても良く、同様の効果が得られる。

【0018】実施の形態4。図8は、本発明の実施の形態4である半導体装置を示す断面図である。図において、30はインターポーザ6上にインターバンパ2aを介して接続された半導体チップ1を樹脂9で封止してなる従来と同様の半導体パッケージ、11aは半導体パッケージ30が、んだバンパ実装ランド13及びんだバンパ10を介して上下両面に接続された配線基板、15は配線基板11aをマザーボード20上に保持すると共に、配線基板11aとマザーボード20間を電氣的に接続するリードフレーム、16は配線基板11a上に設けられたリードフレーム15を接続するための実装ランドである。なお、図中、同一、相当部分には同一符号を付し、説明を省略する。本実施の形態によれば、配線基板11aの上下両面に従来の半導体パッケージ30を接続したものを、リードフレーム15によりマザーボード20に接続することにより、半導体装置の多段化が図られ、高密度実装が可能となった。

【0019】実施の形態5。図9は、本発明の実施の形態5である半導体装置を示す断面図である。図におい

て、11bは従来と同様の半導体パッケージ30が主面に接続された配線基板、15aは配線基板11bを上下方向に2段以上積み重ねた状態でマザーボード20上に保持すると共に、配線基板11b相互間及び各配線基板11bとマザーボード20間を電氣的に接続するリードフレームである。なお、図中、同一、相当部分には同一符号を付し、説明を省略する。本実施の形態によれば、配線基板11bの主面に従来の半導体パッケージ30を接続したものを2段以上積み重ね、配線基板11b相互間及び各配線基板11bとマザーボード20間をリードフレーム15aにより接続することにより、半導体装置の多段化が図られ、高密度実装が可能となった。

【0020】実施の形態6。図10は、本発明の実施の形態6である半導体装置を示す断面図である。図において、11bは従来と同様の半導体パッケージ30が主面に接続された配線基板、15bは配線基板11bを上下方向に2段以上積み重ねた状態で保持すると共に、配線基板11b相互間を電氣的に接続するリードフレームである。なお、図中、同一、相当部分には同一符号を付し、説明を省略する。本実施の形態によれば、配線基板11bの主面に従来の半導体パッケージ30を接続したものを2段以上積み重ね、配線基板11b相互間をリードフレーム15bにより電氣的に接続し、最下段の配線基板11bとマザーボード20をはんだバンパ10を介して接続することにより、半導体装置の多段化が図られ、高密度実装が可能となった。

【0021】なお、上記実施の形態1〜6では、各々の半導体装置をマザーボード20の片面に2段に積み重ねた例について説明したが、2段以上に積み重ねることも可能である。さらに、マザーボード20両面へ積み重ねることも可能であり、より一層の高密度実装が可能となる。また、上記実施の形態1〜6における半導体装置では、んだバンパ10を形成した構造について説明したが、んだバンパ10を形成せずランドのみの構造でも良い。

【0022】

【発明の効果】以上のように、本発明によれば、インターポーザ周辺部に設けられたフィンガー電極と半導体チップ裏面周辺部に設けられたフィンガー電極をワイヤにより電氣的に接続し、半導体チップ裏面に設けられたアウターバンパ電極とインターポーザ間を電氣的に接続したので、この半導体装置を上下方向に2段以上積み重ね、下段となる半導体装置の半導体チップ裏面のアウターバンパ電極と、上段となる半導体装置のインターポーザを電氣的に接続することにより、半導体装置の多段化が図られ、高密度実装が可能となった。

【0023】また、インターポーザ周辺部に設けられたフィンガー電極と配線基板周辺部に設けられたボンディングパッドをワイヤにより電氣的に接続し、配線基板上に設けられたんだバンパ実装ランドとインターポーザ

間を電気的に接続したので、この半導体装置を上下方向に2段以上積み重ね、下段となる半導体装置の配線基板の上のはんだバンプ実装ランドと、上段となる半導体装置のインターポーザを電気的に接続することにより、半導体装置の多段化が図られ、高密度実装が可能となった。

【図面の簡単な説明】

【図1】 本発明の実施の形態1である半導体装置を示す下面透視図及び上面透視図である。

【図2】 本発明の実施の形態1である半導体装置を示す断面図、下面図及び上面図である。

【図3】 本発明の実施の形態1である半導体装置をマザーボードに多段実装した場合を示す断面図である。

【図4】 本発明の実施の形態2である半導体装置を示す断面図である。

【図5】 本発明の実施の形態2である半導体装置をマザーボードに多段実装した場合を示す断面図である。

【図6】 本発明の実施の形態3である半導体装置を示す断面図である。

【図7】 本発明の実施の形態3である半導体装置をマザーボードに多段実装した場合を示す断面図である。

【図8】 本発明の実施の形態4である半導体装置を示す断面図である。

【図9】 本発明の実施の形態5である半導体装置を示す断面図である。

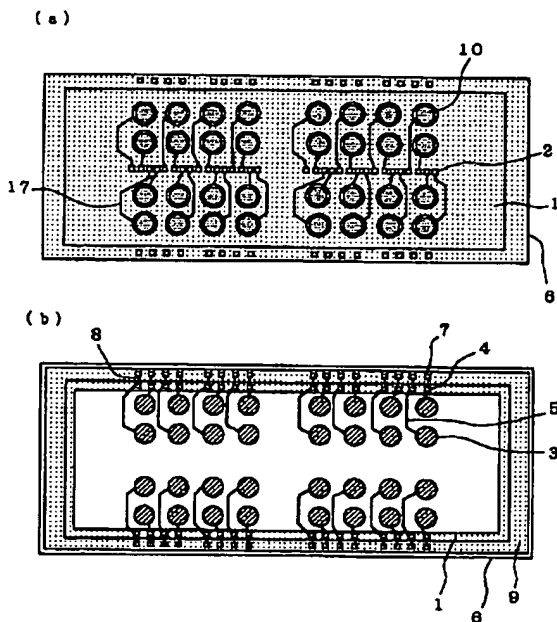
【図10】 本発明の実施の形態6である半導体装置を示す断面図である。

【図11】 従来の半導体装置を示す断面図、下面透視図及び上面図である。

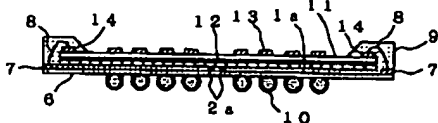
【符号の説明】

1、1a、1b 半導体チップ、2 インナーバンプ電極、2a インナーバンプ、3 アウターバンプ電極、4 フィンガー電極、5 回路配線、6 インターポーザ、7、7a、7b フィンガー電極、8、8a、8b ワイヤ、9、9a、9b 封止樹脂、10 はんだバンプ、11、11a、11b 配線基板、12、12a、12b 樹脂、13 はんだバンプ実装ランド、14 ボンディングパッド、15、15a、15b リードフレーム、16 実装ランド、17 回路配線、20 マザーボード、21 ランド、30 半導体パッケージ。

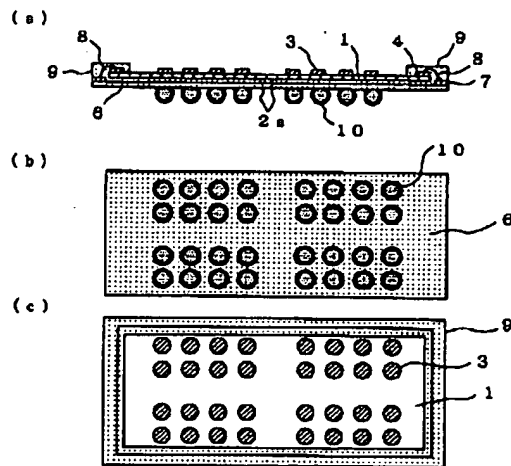
【図1】



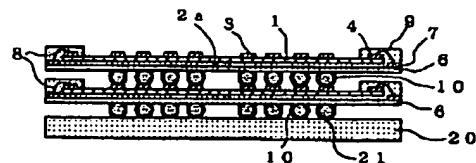
【図4】



【図2】

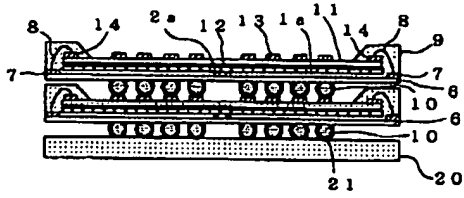


【図3】

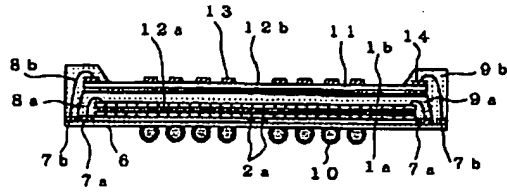


- | | |
|--------------|------------|
| 1: 半導体チップ | 8: ワイヤ |
| 2: インナーバンプ | 9: 封止樹脂 |
| 3: アウターバンプ電極 | 10: はんだバンプ |
| 4: フィンガー電極 | 20: マザーボード |
| 6: インターポーザ | 21: ランド |
| 7: フィンガー電極 | |

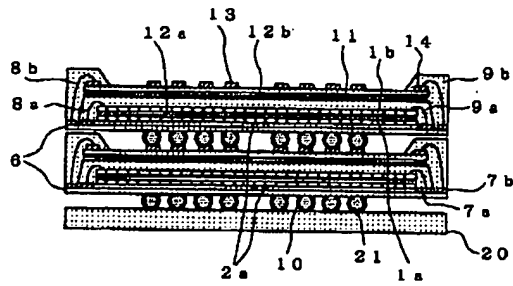
【図5】



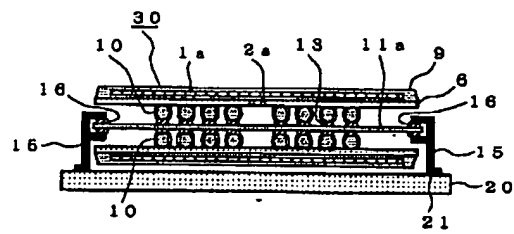
【図6】



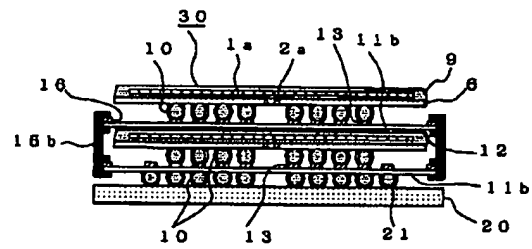
【図7】



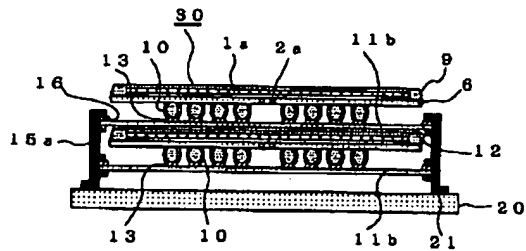
【図8】



【図10】



【図9】



【図11】

